


ELECTROSTATIC DISCHARGE PROTECTING DEVICE

Patent number: JP2000307061
Publication date: 2000-11-02
Inventor: BROCKETT STEVEN W; MICKANIN WESLEY C; BINGHAM STEVEN D;
CRISS DENNIS A
Applicant: TRIQUINT SEMICONDUCTOR INC
Classification:
- international: H01L27/02; H01L27/02; (IPC1-7): H01L27/04; H01L21/822
- european: H01L27/02B4
Application number: JP19990319562 19991110
Priority number(s): US19990295467 19990419

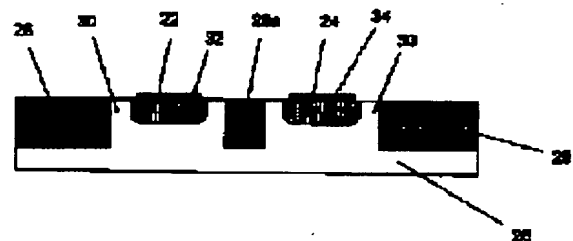
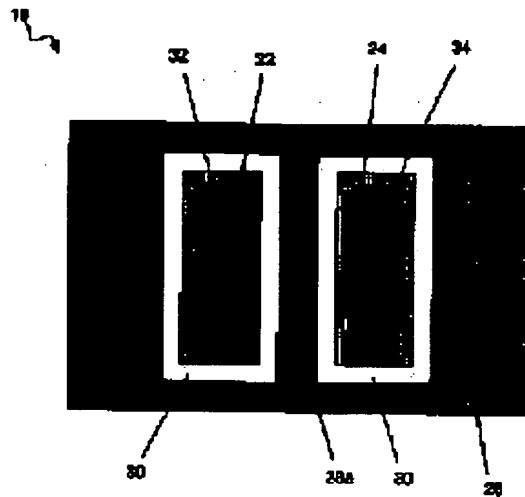
Also published as:

 EP1047131 (A)
US6265756 (B)

Report a data error h

Abstract of JP2000307061

PROBLEM TO BE SOLVED: To reduce the parasitic capacity of an electronic discharge protection device by equipping a semiconductor material with first and second contact regions and forming an isolation region between the first and second contact regions. **SOLUTION:** In an ESD(electrostatic discharge) protection device 18, two contact regions 22 and 24 are formed in a substrate 26 of an integrated circuit chip, and the contact regions 22 and 24 are composed by the dope region of the substrate 26 as in the source and drain regions that are formed when manufacturing a transistor. Then, an isolation region 28 is formed in the substrate 26, the isolation region 28 surrounds each of the contact regions 22 and 24, and an isolation region 28a with a width of approximately 2-5 micron is formed between the contact regions 22 and 24. Further, a boundary region 30 that is not doped or doped at a low concentration of the substrate 26 is formed between each of the regions 22 and 24 and the isolation region 28.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-307061

(P2000-307061A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int. Cl.⁷

識別記号

F I

テ-マ-ド(参考)

H 0 1 L 27/04
21/822

H 0 1 L 27/04

H 5F038

審査請求 未請求 請求項の数19 O L

(全6頁)

(21)出願番号 特願平11-319562

(22)出願日 平成11年11月10日(1999.11.10)

(31)優先権主張番号 09/295467

(32)優先日 平成11年4月19日(1999.4.19)

(33)優先権主張国 米国 (U S)

(71)出願人 599158708

トライクウィント セミコンダクター、イ
ンコーポレーテッド

アメリカ合衆国 オレゴン州 97124 ヒ
ルズボロ、ノースイースト ブルックウ
ッド パークウェイ 2300

(72)発明者 ステイーブン ダブリュ. プロケット

アメリカ合衆国 オレゴン州 97229 ポ
ートランド、ノースウエスト マーシャル
ストリート 12445

(74)代理人 100065916

弁理士 内原 晋

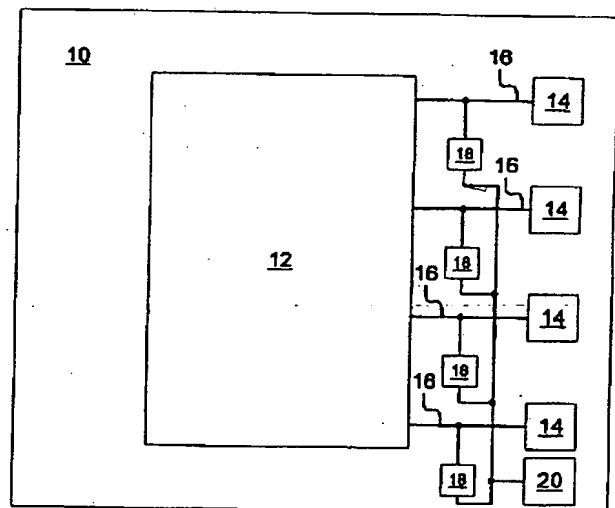
最終頁に続く

(54)【発明の名称】 静電放電保護デバイス

(57)【要約】

【課題】 寄生容量の増大を伴うことなく静電放電 (E S D) 電圧/電流を消散させる E S D 保護デバイス、およびその保護デバイスを内蔵した半導体集積回路デバイスを提供する。

【解決方法】 信号線への静電放電スパイクを減らす静電放電保護デバイスは、化合物半導体基板など半導体材料の内部に形成した第1および第2のコンタクト領域を含む。信号線と第1のコンタクト領域との間に第1の端子を電気的に接続する。第2のコンタクト領域と接地電位点などのシンクとの間に第2の端子を電気的に接続する。前記第1および第2のコンタクト領域の間の前記半導体材料の内部に分離領域を形成する。分離領域は上記半導体材料のイオン打込みによる損傷領域で構成することもできる。この静電放電保護デバイスは半導体集積回路構成部分を静電放電から保護し、しかもそれに伴う入力/出力線の寄生容量増大はごく小さい値に留めるので、R F 回路用集積回路チップに特に有用である。



【特許請求の範囲】

【請求項1】信号線への静電放電スパイクを減らす静電放電保護デバイスであって、

半導体材料の内部に形成した第1および第2のコンタクト領域と、

前記信号線に電氣的に結合されるとともに前記第1のコンタクト領域と電氣的接触状態にある第1の端子と、

シンクに電氣的に結合されるとともに前記第2のコンタクト領域と電氣的接触状態にある第2の端子と、

前記第1および第2のコンタクト領域の間の前記半導体材料の内部に形成した分離領域とを含む静電放電保護デバイス。

【請求項2】前記半導体材料が化合物半導体基板から成る請求項1記載の静電放電保護デバイス。

【請求項3】前記化合物半導体基板がGaAsを含む請求項2記載の静電放電保護デバイス。

【請求項4】前記分離領域が前記半導体材料の内部へのイオン打込みによる損傷領域である請求項1記載の静電放電保護デバイス。

【請求項5】前記第1のコンタクト領域を取り囲みその第1のコンタクト領域のドーパント濃度よりも実質的に低いドーパント濃度を有する第1の基板部分をさらに含む請求項2記載の静電放電保護デバイス。

【請求項6】前記第2のコンタクト領域を取り囲みその第2のコンタクト領域のドーパント濃度よりも実質的に低いドーパント濃度を有する第2の基板部分をさらに含む請求項5記載の静電放電保護デバイス。

【請求項7】前記第1および第2の基板部分を取り囲んで、前記基板の内部に形成したイオン打込み損傷による分離領域をさらに含む請求項6記載の静電放電保護デバイス。

【請求項8】前記第1および第2のコンタクト領域がn型ドーパ領域から成る請求項1記載の静電放電保護デバイス。

【請求項9】前記第1および第2のコンタクト領域がp型ドーパ領域から成る請求項1記載の静電放電保護デバイス。

【請求項10】前記シンクが接地電位点から成る請求項1記載の静電放電保護デバイス。

【請求項11】集積回路チップであって、

半導体基板と、

前記半導体基板の上に形成した複数の集積回路構成部分を有する集積回路と、

前記集積回路チップの表面の上に形成した入力/出力

(I/O)パッドと、

前記I/Oパッドと前記集積回路構成部分の少なくとも

一つとの間に接続され、前記I/Oパッドと前記少なく

とも一つの集積回路構成部分との間で信号を伝達するよ

うに作動できる入力/出力(I/O)線と、

前記I/O線への静電放電スパイクを減らす静電放電デ

バイスであって、

前記半導体基板の内部に形成した第1および第2のドーパ領域と、

前記I/O線に電氣的に接続され前記第1のドーパ領域と電氣的に接触状態にある第1の端子と、

シンクに電氣的に接続され前記第2のドーパ領域と電氣的に接触状態にある第2の端子と、

前記第1および第2のドーパ領域の間の前記半導体基板の内部に形成した分離領域とを含む静電放電デバイスとを含む集積回路チップ。

【請求項12】前記分離領域が前記半導体基板のイオン打込みによる損傷領域を含む請求項11記載の静電放電保護デバイス。

【請求項13】静電放電保護デバイスを製造する方法であって、

半導体材料の内部に第1および第2のコンタクト領域を形成する過程と、

前記第1および第2のコンタクト領域の間の前記半導体材料の内部に分離領域を形成する過程と、

前記第1のコンタクト領域の上に第1の電氣的コンタクトを形成する過程と、

前記第2のコンタクト領域の上に第2の電氣的コンタクトを形成する過程と、を含む方法。

【請求項14】前記第1の電氣的コンタクトと信号線との間に電氣的接続を形成する過程をさらに含む請求項13記載の方法。

【請求項15】前記第2の電氣的コンタクトとシンクとの間に電氣的接続を形成する過程をさらに含む請求項14記載の方法。

【請求項16】前記半導体材料の内部に前記第1および第2のコンタクト領域を形成する過程が第1のドーパ領域を半導体基板の内部に前記第1のコンタクト領域として形成する過程と、

第2のドーパ領域を前記半導体基板の内部に前記第2のコンタクト領域として形成する過程と、を含む請求項13記載の方法。

【請求項17】前記半導体基板の内部に前記第1および第2のドーパ領域を形成する過程が前記半導体基板の選ばれた部分にイオンを打ち込む過程を含む請求項16記載の方法。

【請求項18】前記分離領域を形成する過程が、前記半導体材料にイオン打込み損傷を生ずるようにイオンを前記半導体に打ち込む過程を含む請求項13記載の方法。

【請求項19】前記分離領域を形成する過程が、前記第1のコンタクト領域に相対する前記分離領域の第1の鋸歯状端部を形成する過程と、

前記第2のコンタクト領域に相対する前記分離領域の第2の鋸歯状端部を形成する過程とを含む請求項13記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は集積回路に関し、特に静電放電保護デバイスに関する。

【0002】

【発明が解決しようとする課題】静電放電によって集積回路が損傷を受ける可能性があることは周知である。静電放電はチップパッケージの組立および試験の諸段階で種々の原因により発生し得る。チップの損傷を防止するために、チップに静電放電(ESD)電圧/電流消散用のESD保護デバイスを内蔵する必要がある。

【0003】従来のESD保護デバイスは各入出力(I/O)線と接地線や電源との間に接続した並列短絡手段を通常備える。これらデバイスのためにI/O線の寄生容量が不都合なレベルまで増大することが少なくない。この寄生容量は特に無線周波数(RF)回路に悪影響を及ぼし得る。

【0004】したがって、従来技術の上述の問題点を解消した静電放電保護回路に対する需要が高まっている。特に、寄生容量を低下させた電子放電保護デバイスが必要とされている。

【0005】

【課題を解決するための手段】この発明の一つの実施例では、この静電放電保護デバイスは化合物半導体基板などの半導体材料内に第1および第2のコンタクト領域を備える。第1の端子を信号線と前記第1のコンタクト領域との間に電氣的に接続する。第2の端子を前記第2のコンタクト領域と地気などのシンクとの間に電氣的に接続する。前記半導体材料内部の前記第1および第2のコンタクト領域の間に分離領域を形成する。一つの実施例では、その分離領域は半導体材料のイオン打込みによる損傷部分で構成する。

【0006】この発明のもう一つの側面によると、静電放電保護デバイスの製造方法を提供できる。この製造方法は半導体材料内部に第1および第2のコンタクト領域を形成する過程と、その半導体材料内部の前記第1および第2のコンタクト領域の間に分離領域を形成する過程と、前記第1のコンタクト領域の上に第1の電氣的コンタクトを形成する過程と、前記第2の領域の上に第2の電氣的コンタクトを形成する過程とを伴う。

【0007】この発明の利点は静電放電保護デバイスが集積回路部品を静電放電に対して保護できることである。この発明のもう一つの利点は、この静電放電保護デバイスによるI/O線への寄生容量の付加がごく小さい値に留まることであり、特にRF信号回路用に有利であることである。

【0008】

【発明の実施の形態】この発明の好ましい実施例およびそれらの利点は図面の図1乃至図4を参照することによってよりよく理解されよう。これら図面全体を通じて、同一の構成要素は同一の参照数字を付けて図示してあ

る。

【0009】図1を参照すると、集積回路チップ10のブロック図が示してある。集積回路チップ10は、たとえば900MHzで動作する低雑音増幅器などのRF回路で構成される回路12を含む。回路12はひと組のI/O線16によりひと組のI/Oパッド14に接続する。I/Oパッド14は例えばボンディングワイヤにより組立てチップパッケージ(図示してない)上のリードに接続する。

【0010】ESDパルスがI/O線16経由で回路12に伝導されることを防ぐようにESD保護デバイス18をI/O線16の各々に接続する。ESD保護デバイス18の各々は従来のESD保護デバイスをI/O線の場合と同様に対応のI/Oパッド14の近傍に配置することもでき、また回路12の近傍に配置することもできる。ESD保護デバイス18の各々は対応のI/O線16とシンク20との間に電氣的に接続する。シンク20が例えばローカルな接地、外部接地、電源または回路12に損傷を与えるおそれのある種類および大きさの静電放電に伴うレベルの電荷や電流を吸収するのに十分な容量の上記以外のシンクであり得ることは後述の説明から理解されよう。

【0011】図2Aおよび2Bを参照すると、ESD保護デバイス18が平面図および断面図でそれぞれ示してある(縮尺どおりではない)。ESD保護デバイス18は集積回路チップ10の基板26の中に形成した二つのコンタクト領域22および24を有する。コンタクト領域22および24は基板26のドープ領域で構成し、トランジスタ製造の際に形成されるソースおよびドレイン領域と同様にすることができる。この例では、コンタクト領域22および24の寸法は長さ(図2Aの上下方向)約100ミクロン、幅(図2Aの左右方向)約2乃至3ミクロンである。

【0012】基板26の中に形成された分離領域28はコンタクト領域22および24を取り囲み、コンタクト領域22および24の間に幅約2乃至5ミクロンの分離領域28aを形成する。ドープした領域22および24の各々と分離領域28との間には基板26のドープしていない、または低濃度にドープした境界領域30がある。境界領域30の各々はコンタクト領域22および24の各々の周囲に約0.5乃至4ミクロンの境界を形成する。

【0013】コンタクト領域22および24の上には電氣的コンタクト32および34をそれぞれ設ける。これら電氣的コンタクト32および34の各々是对應のコンタクト領域22および24の大部分を覆い、各コンタクト領域22および24の境界領域だけを覆わない状態で残す。この例では、境界領域は幅約0.5ミクロンである。電氣的コンタクト32をI/O線16に電氣的に接続し、一方電氣的コンタクト34をシンク30に接続

し、またはこれと逆に接続する。電気的コンタクト32および34への電気的接続は慣用のメタライズ技術により形成できる。

【0014】図3A乃至3Cを参照すると、ESD保護デバイス18の形成を図解した一連の断面図が示してある。まず、基板26を砒化ガリウムなどの化合物半導体材料で形成する。例えば、基板26は液体封止引上法

(LEC)の未ドーブ材料で構成できる。これ以外の化合物半導体材料、例えばリン化インジウム、窒化ガリウムなども同様に利用できる。基板26は垂直ブリッジマン法や垂直グラジエント凍結法など上記以外の方法でも形成できる。

【0015】次に、コンタクト領域22および24を例えば基板26へのイオン打込みによって形成する。コンタクト領域22および24はN+ドーブ領域にすることができる。コンタクト領域22および24は、加速エネルギー150keV、線量 3×10^{13} イオン/cm²で例えばSi²⁹⁺同位元素のイオン打込みで形成できる。これらイオンをプラズマ利用による厚さ約400オングストロームの二酸化シリコン堆積層を通じてイオン打込みし、深さ0.5ミクロンのコンタクト領域22および24を形成することもできる。次に、これらコンタクト領域を例えば約900℃の水素雰囲気中の急速熱処理により熱処理する。その結果得られるコンタクト領域22および24のシート抵抗は100-200オーム/スクエアである。もっとも、この値は、コンタクト領域22および24の各々の予想される端子間電圧降下がESD保護デバイス18のオン転化電圧に比べて小さい限り臨界的ではない。N+層のエピタキシャル成長を層22および24の形成に代替的に使うことができる。

【0016】図3Bを参照すると、電気的コンタクト32および34は、例えば適当な合金で形成したオーミックコンタクトである。電気的コンタクト32および34は例えば通常のメタライズ手法を用いて堆積させた金、ゲルマニウム、ニッケルなどの合金で構成できる。この例では、厚さ500オングストロームのゲルマニウム層を堆積させ、次に厚さ1000オングストロームの金の層、厚さ400オングストロームのニッケルの層、厚さ200オングストロームのもう一つの金の層を堆積させて形成する。次に、これら金属を約420℃で1分間加熱し合金にする。ここに特定の例を挙げたが、慣用の種々のコンタクトメタライズ手法を使えることは理解されよう。

【0017】電気的コンタクト32および34の抵抗値は約100乃至400オーム・ミクロンであるが、オーミック特性が得られる限りこの値はデバイス18の動作にそれほど臨界的ではない。この例では、電気的コンタクト32および34の各々でコンタクト領域22および24の中央部を覆い、コンタクト領域22および24の幅約0.5ミクロンの境界領域は電気的コンタクト32

および34で覆わない状態に留める。

【0018】図3Cを参照すると、分離領域28を、一つ以上の種類のイオンを例えば400eV以下のエネルギーで侵入の深さ例えば約0.5ミクロンとしてイオン打込みして形成する。このイオン打込みは分離領域28の中のキャリア易動度を大幅に低下させるイオン損傷を生じさせる。また、このイオン打込みは静電放電中の再結合のためのキャリア捕捉位置を提供し、分離領域28におけるドーピングを実効的に非活性化する。この例では浸入深さを0.5ミクロンとしたが、イオン浸入深度よりも大幅に深いレベルでロックオン効果によるイオン打込み損傷が生ずることは理解されよう。一定の熱処理サイクルの下での酸素打込みなど上記以外の手法も用いることができる。

【0019】この例では、コンタクト領域22および24の間の分離領域28aの幅は約3ミクロンである。コンタクト領域22および24は分離領域28aの端部から幅約0.5乃至1ミクロンのドーブなし領域または低濃度ドーブ領域で隔てられている。

【0020】上述の諸プロセスはI線利用の光学的リソグラフィなど標準的なリソグラフィ手法を用いて実施できる。g線または超紫外線利用の光学的リソグラフィやX線リソグラフィや電子ビームリソグラフィなど上記以外のリソグラフィ手法も同様に利用可能である。

【0021】ESD保護デバイス18の動作を現在理解されているところから従って次に述べる。I/O線16にESDパルスが生ずると、コンタクト領域22および24の間に電界が急速に立ち上がる。すなわち、一方のコンタクト領域が問題のI/O線16に電気的に結合され、他方のコンタクト領域がシンク20に電気的に結合されているからである。この電界の立上りに伴って、コンタクト領域22および24の周囲の未損傷領域30と分離領域28aとの間の抵抗値差またはキャリア易動度に起因するダイポール領域が形成される。これらダイポール領域は電流制御差動負抵抗の発生を可能にし、局部的電界による衝突電離効果を生じさせる。電界の上昇に伴って、コンタクト領域22および24から注入されたキャリアが衝突電離による追加のキャリアのカスケードを生ずるに十分なエネルギーを得る。この大きいキャリア発生率が分離領域28aにおける再結合率を上回る。分離領域28aの直下の基板26部分では、上記以外の電子雪崩倍増が生じ、残留ドナーが帯電し、抵抗率が低下してその状態を維持する。上述のプロセスによってESD保護デバイス18は実効的に電流側路として作用し、ESDからの電流を損傷発生不可能なデバイス領域に導く。

【0022】図4を参照すると、代替的設計によるESD保護デバイス40の平面図が示してある。デバイス40は上述のESD保護デバイス18のコンタクト領域22および24と同様のコンタクト領域42および44を

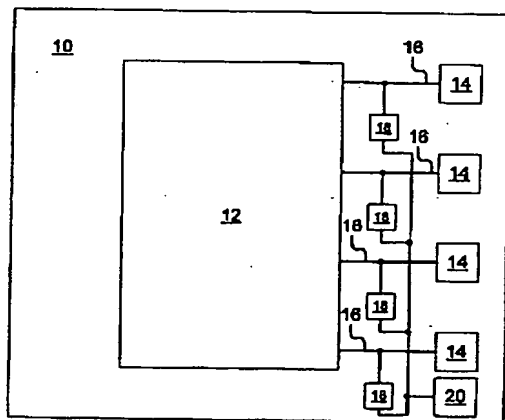
備える。また、デバイス40はコンタクト領域42および44の上に電氣的コンタクト46および48をそれぞれ備える。これら電氣的コンタクト46および48はESD保護デバイス18の上述の電氣的コンタクト32および34と同様に構成できる。

【0023】分離領域50でコンタクト領域46および48を取り囲み、それらコンタクト領域46および48の周囲に非ドーブまたは低濃度ドーブの境界52を残すようにする。分離領域50は、次の点、すなわち、コンタクト領域46および48の間の分離領域50aが領域46および48に面する鋸歯状端部50bを有すること、を除きESD保護デバイス18の分離領域28と同様である。端部50bは各辺に約1乃至2ミクロンの正三角形を有する。これら三角形の外側頂点是对应のコンタクト領域42または44から約0.5乃至1ミクロン隔てられている。分離領域50aの一つの端部50bの各三角形は反対側の端部50bの対応の三角形と整列状態にある。これら三角形は静電放電の際に三角形頂点近傍の電界を強め、デバイス40のオン転化電圧または閾値電圧を低下させる。

【0024】概括的には、デバイス40はデバイス18について上述した過程を用いて形成できる。しかし、分離領域50の形成に用いたイオン打込み用マスクは精細度が限られている。すなわち、イオン打込み用マスクの形成のための精度が低すぎて、分離領域50aの端部50bの三角形の高精度形成は不可能である。したがって、コンタクト領域42および44に向かって突出する頂点がやや平坦化された三角形が生ずることになり、結果的にその方が好ましい。

【0025】上述のESD保護デバイスは1000ボル

【図1】



ト以上の電圧による静電放電に対して保護作用を発揮することが実験で確認された。これらデバイスに伴う寄生容量の大きさは約15fFと測定された。すなわち、これらESD保護デバイスは寄生容量のずっと大きい慣用のESD保護回路に比較して大幅な改善を示した。

【0026】この発明およびその利点を詳述してきたが、特許請求の範囲に記載したこの発明の真意および範囲を逸脱することなく種々の変更、置換および改変が可能であることが理解されよう。

【図面の簡単な説明】

【図1】この発明によって構成した集積回路チップのブロック図。

【図2】図2Aおよび図2Bはこの発明による静電放電保護デバイスの上面および断面をそれぞれ示す上面図および断面図。

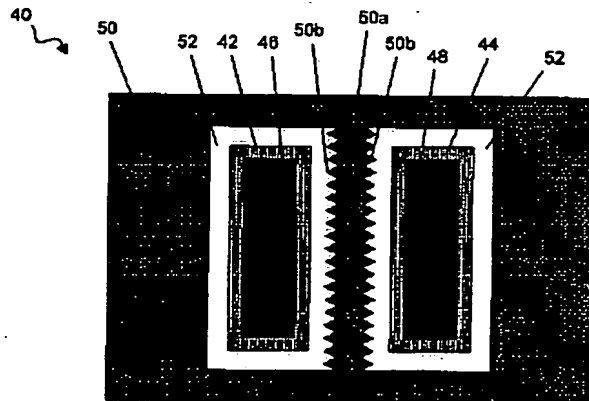
【図3】図3A乃至図3Cは製造工程の諸段階におけるこの静電保護デバイスの断面図。

【図4】この静電放電デバイスのもう一つの実施例の上面図である。

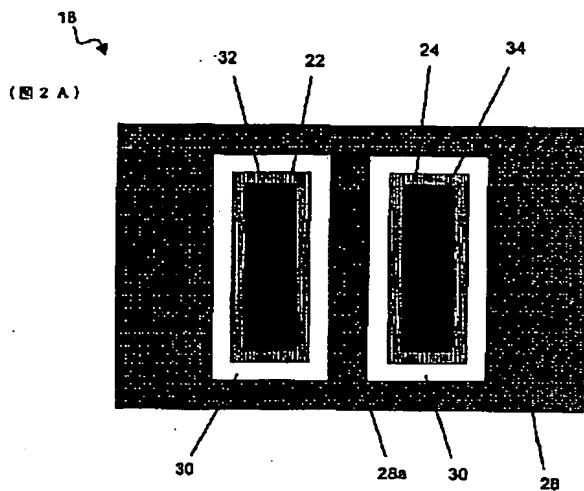
【符号の説明】

- | | |
|------------------|------------|
| 10 | 集積回路チップ |
| 12 | RF回路など |
| 14 | I/Oパッド |
| 16 | I/O線 |
| 18, 40 | 静電放電保護デバイス |
| 22, 24, 42, 44 | コンタクト領域 |
| 26 | 基板 |
| 28, 28a, 50, 50a | 分離領域 |
| 30 | 境界領域 |
| 32, 34 | 電氣的コンタクト |

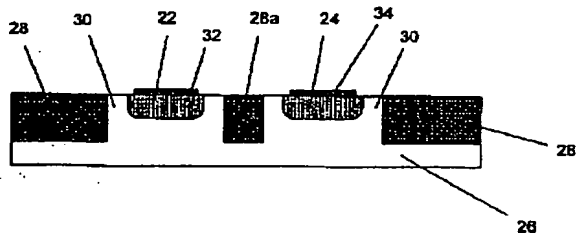
【図4】



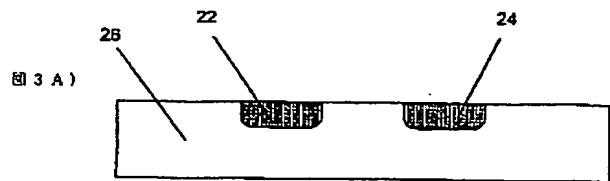
【図2】



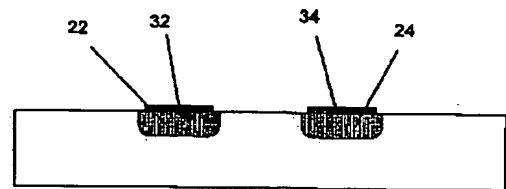
(図2B)



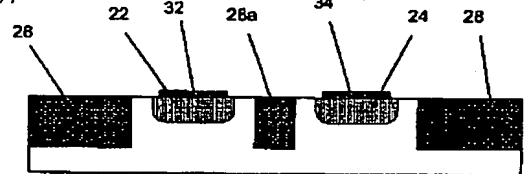
【図3】



(図3B)



(図3C)



フロントページの続き

(72)発明者 ウェスリー シー・ミッカニン
アメリカ合衆国 オレゴン州 97007 ビーヴァートン、サウスウェスト グラブポーン ロード 10060

(72)発明者 スティーヴン ディー・ビンガム
アメリカ合衆国 オレゴン州 97007 ビーヴァートン、サウスウェスト バーナード 7842

(72)発明者 デニス エイ・クリス
アメリカ合衆国 オレゴン州 97123 ヒルズボロ、サウスウェスト シンキング ヴァズ ドライブ 2682

Fターム(参考) 5F038 BH01 BH02 BH13 EZ02 EZ13
EZ20